

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-36857

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 23/12				
25/00	B 7220-4M			
27/04	C 8427-4M			
	7352-4M	H 01 L 23/ 12	B	
	7352-4M		N	

審査請求 未請求 請求項の数1(全 8 頁)

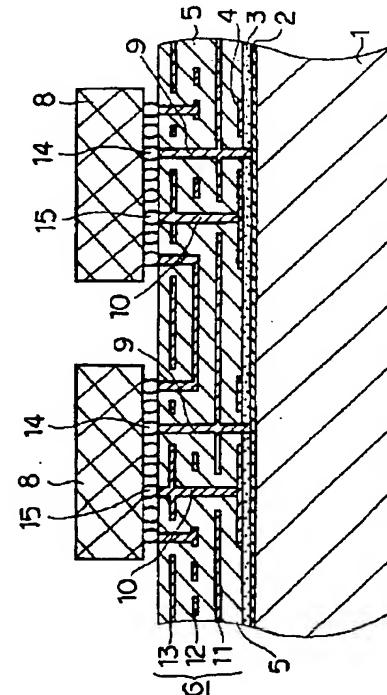
(21)出願番号 (22)出願日	特願平3-190039 平成3年(1991)7月30日	(71)出願人 株式会社東芝 神奈川県川崎市幸区城川町72番地 (72)発明者 渕田 裕美 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内 (72)発明者 須藤 俊夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内 (74)代理人 弁理士 須山 佐一 (外1名)
---------------------	--------------------------------	---

(54)【発明の名称】 半導体集積回路実装基板

(57)【要約】

【目的】 高速スイッチング動作時の電源ノイズの発生が抑制され、信頼性が高くかつ半導体集積回路や個別部品の高集積化、高密度実装化を実現した半導体集積回路実装基板を提供する。

【構成】 第1の導電体電極層2と第2の導電体電極層4とこれらの2つの層間に挟持される誘電体層3により形成されるコンデンサが、基板1上に配設されており、基板の最上層の表面に実装された半導体集積回路チップ8とは接続ビア(via)9、10によって接続され、チップコンデンサの表面実装およびその配線のための面積が不要でその分集積回路チップをより多く実装でき、またそれらの配置および結線の自由度も高くでき、半導体集積回路や個別部品の高集積化、高密度実装化が実現できる。



## 【特許請求の範囲】

【請求項1】導電体層と第1の誘電体層とを交互に積層してなる多層配線基板上に1チップ以上の半導体集積回路チップを実装し、該半導体集積回路チップの電位の異なる2端子間に接続されるバイパスコンデンサを有する半導体集積回路実装基板において、

前記多層配線基板に第2の誘電体層が配設され前記第2の誘電体層上の同一導電体層あるいは該第2の誘電体層を介して隣接する異なる導電体層に前記バイパスコンデンサの対向電極が形成され、該バイパスコンデンサの一方の電極および前記半導体集積回路チップの電源回路の一端ならびに前記バイパスコンデンサの他方の電極および前記半導体集積回路チップの電源回路の前記一端とは電位の異なる他端とが電気的に接続されてなる構造を有し、前記半導体集積回路チップごとに個別に1つ以上電気的に接続された前記バイパスコンデンサが、前記半導体集積回路チップの前記半導体集積回路実装基板への投影面積内に配設されてなることを特徴とする半導体集積回路実装基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体集積回路実装基板に関する。

## 【0002】

【従来の技術】近年、電子機器は、情報処理の高速化、小型化、多機能集積化、そして特定用途への専用化などの動きが顕著である。これに伴なって半導体集積回路の分野でも情報処理の高速化、素子の高集積化、専用IC化などが進んでいるが、これらの要請に適確に対応する半導体集積回路実装の一形態として、半導体集積回路実装基板がある。

【0003】この半導体集積回路チップを複数用いた半導体集積回路実装基板は、その集積回路および個別部品の接続に微細な配線パターンを有する配線基板を使用し、さらに高集積化するために配線を多層化しているものも多い。

【0004】この半導体集積回路実装基板において前述のような情報処理の高速化を実現する際には、高速なスイッチング動作が行なわれて半導体集積回路の電源系に瞬間に大電流のパルスが流れ電源電圧が変動するため、ノイズマージンの減少や回路動作の不安定や回路の誤動作などが発生する、という問題があった。また半導体集積回路や個別部品の高集積化ともあいまって、電源ノイズや信号線どうしのクロストークの発生という問題がある。

【0005】そこで従来の半導体集積回路実装基板では、半導体集積回路チップ401の電源系にバイパスコンデンサを接続することによってその電源電圧の変動を緩和し電源ノイズを抑制している。これを図6、図7に示す。図6はその平面的構成を示す平面図、図7はその

側面断面図である。

【0006】従来バイパスコンデンサとしては、半導体集積回路実装基板の配線基板の最上層表面に設けられた実装用パッド上に搭載されるチップコンデンサ402か、あるいはその多層配線層の最下層のほぼ全面に貼設された2層の導電体電極層およびこれら2層の間に挟持される誘電体層によって形成されるコンデンサが用いられている。

【0007】しかしながら、このような従来の半導体集積回路実装基板は、チップコンデンサを用いた場合には、チップコンデンサの占有面積およびその配線のための面積が基板の表面層に必要であり、その分、半導体集積回路の実装面積が少なくなってしまう。またチップコンデンサおよび半導体集積回路の配置や、それらの間の結線などにも大きな制約があり、半導体集積回路や個別部品の高集積化が容易ではない、という問題がある。

【0008】また2層の導電体電極層およびこれら2層の間に挟持される誘電体層によって形成されたコンデンサを用いるものの場合では、その一つのコンデンサに対して複数の半導体集積回路の電源系が接続されているので、各半導体集積回路で発生した電源ノイズどうしがそのコンデンサを通して相互に影響を与えあってさらに劣悪なノイズとなってしまうという問題がある。

## 【0009】

【発明が解決しようとする課題】このように、従来の半導体集積回路実装基板では、高速スイッチング動作時に電源ノイズが発生し、そのノイズにより信号線が影響をうけるという問題があり、その解決策として半導体集積回路の電源系にバイパスコンデンサを接続することによってその電源電圧の変動を緩和し電源ノイズなどを抑制しようとしているが、そのバイパスコンデンサとしてチップコンデンサや厚膜により形成されたコンデンサを基板表面に配設する場合では、その占有面積およびその配線のための面積が基板表面に必要で、またそれらの配置および結線の自由度に大きな制約もあり、半導体集積回路や個別部品の高集積化、高密度実装化が容易ではないという問題がある。

【0010】また、配線層および誘電体層の積層構造中において2層の導電体電極層およびこれら2層の間に挟持される誘電体層によって形成されたコンデンサを用いるものの場合では、電源ノイズどうしがそのコンデンサにて相互に影響を与えあってさらに劣悪なノイズとなるという問題や、コンデンサとそれに対応する半導体集積回路とを接続するための配線が煩雑なものとなってしまうという問題があった。そしてますます進む半導体集積回路の情報処理の高速化やその素子の高集積化につれて、上記のような半導体集積回路の高速スイッチング動作時の電源ノイズ発生の問題はさらに解決が困難なものとなりつつある。

【0011】本発明はこのような問題に鑑みて成された

もので、その目的とするところは、高速スイッチング動作時の電源ノイズの発生を効果的に抑制し誤動作などの発生の問題を解消して信頼性が高く、かつ半導体集積回路や個別部品の高集積化、高密度実装化を実現した半導体集積回路実装基板を提供することにある。

#### 【0012】

【課題を解決するための手段】前述の目的を達成するために本発明の半導体集積回路実装基板は、導電体層と第1の誘電体層とを交互に積層してなる多層配線基板上に1チップ以上の半導体集積回路チップを実装し、該半導体集積回路チップの電位の異なる2端子間に接続されるバイパスコンデンサを有する半導体集積回路実装基板において、前記多層配線基板に第2の誘電体層が配設され前記第2の誘電体層上の同一導電体層あるいは該第2の誘電体層を介して隣接する異なる導電体層に前記バイパスコンデンサの対向電極が形成され、該バイパスコンデンサの一方の電極および前記半導体集積回路チップの電源回路の一端ならびに前記バイパスコンデンサの他方の電極および前記半導体集積回路チップの電源回路の前記一端とは電位の異なる他端とが電気的に接続されてなる構造を有し、前記半導体集積回路チップごとに個別に1つ以上電気的に接続された前記バイパスコンデンサが、前記半導体集積回路チップの前記半導体集積回路実装基板への投影面積内に配設されてなることを特徴としている。

#### 【0013】

【作用】本発明の半導体集積回路実装基板は、第1の導電体電極層と第2の導電体電極層とこれらの2つの層間に挟持される誘電体層とにより形成されるバイパスコンデンサが基板上に積層構造として積層された配線層および絶縁層よりなる積層構造の内層に配設されており、基板の積層構造の最上層の表面に実装された半導体集積回路とは接続ビア(via)によって接続されているので、チップコンデンサを表面実装したような従来のものとは異なり基板の積層構造の最上層の表面にその占有面積およびその配線のための面積が不要で、またそれらの配置および結線の自由度への制約も大幅に少なくなる。従って半導体集積回路や個別部品の高集積化、高密度実装化が実現できる。

【0014】また、前述の第1の導電体電極層と第2の導電体電極層とこれらの2つの層間に挟持される誘電体層とにより形成されるバイパスコンデンサは、複数個形成されており、そのそれぞれの部分がそれぞれ対応する半導体集積回路の電源系に接続されて個別に機能するように配設されているので、半導体集積回路間相互の電源ノイズの干渉がなく、しかも分割されたそれぞれの部分ごとに、その接続される半導体集積回路の電源系のノイズ除去に最適な静電容量値を設定することができるので、電源ノイズを効果的に抑制して誤動作の発生を防止することができる。また、半導体集積回路の実装され

ている真下にその対応するバイパスコンデンサを配設しておけば、その半導体集積回路とバイパスコンデンサとの接続ビアも最短距離で済むのでインダクタンスが小さくなり電源供給の安定化が図れ、また接続の設計も簡単なものとなってチップコンデンサなどをリフロー・ソルダリングなどにより基板表面に実装する場合と比較して製造コストも低廉にできる。

#### 【0015】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0016】(実施例1)図1は本発明の第1の実施例に係る半導体集積回路実装基板の構成を示す側面断面図、図2はその一部省略斜視図である。

【0017】この半導体集積回路実装基板は、基板1と、その基板上面全面に貼設された第1の導電体電極層2と、その上面全面に貼設された第2の誘電体層にあたる誘電体層3と、その誘電体層3の上面に貼設され複数に分割された第2の導電体電極層4と、その上に交互に複数層積層された第1の誘電体層にあたる絶縁層5および配線層6と、その表面に実装される半導体集積回路チップ8と、第1の導電体電極層2および第2の導電体電極層4とそれに対応する半導体集積回路チップ8の電源系端子とを接続するための接続ビア9、10とを具備している。

【0018】基板1は、シリコン(Si)あるいは窒化アルミニウム(AlN)等の材料からなる基板であって、この基板1上にが積層され、半導体集積回路チップ8がさらにその上に搭載される。

【0019】基板1の上面全面に第1の導電体電極層2が貼設される。この第1の導電体電極層2は、アルミニウム(Al)またはタンクステン(W)または銅(Cu)などの金属導体からなる電極層である。この第1の導電体電極層2は、対向するすべての第2の導電体電極層4に対して共通電極となるように配設されており、各半導体集積回路チップ8の電源系端子に接続される。

【0020】この第1の導電体電極層2の上面全面に誘電体層3が貼設されている。この誘電体層3は、スパッタリングまたはCVD法により形成される薄膜の二酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)あるいは二酸化シリコン(SiO<sub>2</sub>)等の誘電体よりなる誘電体層である。

【0021】第2の導電体電極層4は、この誘電体層3の上に設けられ、第1の導電体電極層2との間で誘電体層3を挟持している。そして第1の導電体電極層2を共通電極層とし、この第2の導電体電極層4を個別の電極として、これらにより個別のコンデンサが形成されている。

【0022】これら個別のコンデンサの一つ一つは、図2に示すごとく、それが対応して接続される半導体集積回路チップ8のほぼ真下に位置するような平面的位置関係に配置されて、一つ一つの半導体集積回路チップ8ご

とに個別に接続されるように配設されている。

【0023】そして誘電体層3の膜厚および誘電率を計算に入れてこの第2の導電体電極層4の個々の面積を調節し、個別のコンデンサごとの静電容量がその対応する半導体集積回路チップ8の電源系ノイズ除去に最適となるように設定されている。しかもより高密度な実装に対応するために、それらのコンデンサの面積はそれが対応する半導体集積回路チップの平面的な投影面積内に収まるように設定されている。

【0024】また、半導体集積回路チップ8のほぼ真下に位置する前述の個別のコンデンサをさらに細かく複数に分割して設け、その一つ一つをその真上の一つの半導体集積回路チップ8の有する複数の電源系の一つ一つに接続することもできる。即ち一つの半導体集積回路チップ8の内部の電源系が入力バッファ用、出力バッファ用、内部回路用などのように複数の機能ブロックに分かれている場合などでは、その半導体集積回路チップは複数の電源系を有しているが、これらの各電源に対して個別に最適な静電容量を有するコンデンサを接続することによって、その電源系ノイズをより効果的に除去することを可能にしている。

【0025】このようにして構成されたコンデンサの静電容量値Cは、誘電体層3の誘電率を $\epsilon$ 、誘電体層3の面積をS、誘電体層3の厚さをtとすると、 $C = \epsilon S / t$ なる関係式から求めることができる。例えば本実施例のように誘電体層3に比誘電率が20のTa<sub>2</sub>O<sub>5</sub>を用い、その誘電体層3の厚さが $0.3\mu m$ 、そのコンデンサの誘電体の面積が $25mm^2$ のときには、Cは約 $0.015\mu F$ となり、実用上バイパスコンデンサとして十分な容量値となっている。

【0026】そして第2の導電体電極層4の上層に絶縁層5および配線層6が交互に積層されている。

【0027】絶縁層5は、絶縁性の良好なポリイミドからなる層で、配線層6の層間に配置されて各配線層を電気的に絶縁する。

【0028】配線層6は、銅よりなる導体配線層であって、図1に示すように、下層から順に電源配線層11、信号配線層12、電源帰線（グランド）配線層13の3層が層間に絶縁層5を挟んで配設されている。

【0029】このうち、電源配線層11と電源帰線配線層13とが電源系の配線にあたる。電源配線層11は接続ビア9を介して第1の導電体電極層2および半導体集積回路チップ8の電源端子14に接続され、電源帰線配線層13は接続ビア10を介して第2の導電体電極層4および半導体集積回路チップ8の電源帰線端子15に接続されている。

【0030】信号配線層12は、半導体集積回路チップ8にデータパルス等を導通させるものであり、電源層11と電源帰線層13とに挟まれてストリップ構造を形成することにより電源ノイズに起因する信号線へのクロス

トーク、または高周波信号ハルス伝送による信号線どうしのクロストークが抑制される。

【0031】接続ビア9、10は、既存技術による一般的な接続ビアと同様、絶縁層5および配線層6の積層段階で、絶縁層5にバターンニングした穴を通してその上層の配線層と下層の配線層とをコンタクトさせて形成したものである。

【0032】本発明の第1の実施例に係る半導体集積回路実装基板は、このような構造を有し、各半導体集積回路チップに対して個別に最適の静電容量を有するコンデンサを接続することにより、半導体集積回路チップごとの電源系ノイズの有効な除去を実現している。

【0033】なお、このような半導体集積回路チップごとの電源系ノイズの有効な除去のためのバイパスコンデンサには、通常 $0.1\mu F$ から $0.01\mu F$ 程度の容量値のコンデンサが採用される。このコンデンサの容量値は、誘電体の面積や誘電体層の厚さを調節するか、またはその誘電体層の材質を選択することで、適宜異なった容量値に設定して、対応する半導体集積回路チップの電源系ノイズ除去に最適なものとすることができます。

【0034】（実施例2）図3は本発明の第2の実施例に係る半導体集積回路実装基板の構成を示す側面断面図である。

【0035】この第2の実施例に係る半導体集積回路実装基板の構造は、前述の第1の実施例の半導体集積回路実装基板とほぼ同様であるが、第1の導電体電極層202が第1の実施例のような基板全面に貼設された一枚ベタの共通電極ではなく、第2の導電体電極層204と同様に誘電体層203の上面に複数に分割されて貼設されており、その対向する第2の導電体電極層204とともに誘電体層203を挟持して独立した複数のコンデンサが形成され、これらのコンデンサの一つ一つの静電容量がその対応する半導体集積回路チップ208の電源系ノイズ除去に最適となるように誘電体層203の膜厚を計算に入れて設定されている点が異なっている。この第2の実施例に係る半導体集積回路実装基板は、このように各半導体集積回路チップ208ごとに接続されるコンデンサの各々が共通電極を用いない全く独立した複数のコンデンサであるので、各コンデンサ間で電源ノイズが相互に影響を与えることを、第1の実施例よりもさらに効果的に防止することができる。

【0036】本発明の第2の実施例に係る半導体集積回路実装基板は、このような構造を有し、各半導体集積回路チップに対して個別に最適の静電容量を有する全く独立したコンデンサを接続することにより、半導体集積回路チップごとの電源系ノイズのさらに有効な除去を実現している。

【0037】（実施例3）図4（a）は第3の実施例に係る半導体集積回路実装基板の構成を示す側面断面図、図4（b）はそのコンデンサ部分の構造を拡大して示す

△-B 側面断面図、図5はこの第3の実施例に係る半導体集積回路実装基板の構成を示す一部省略斜視図である。

【0038】この第3の実施例に係る半導体集積回路実装基板は、第1および第2の実施例の半導体集積回路実装基板と比べて、基板、積層構造、半導体集積回路チップはほぼ同様な構造を有しているが、誘電体層および導電体電極層が異なっており、特に導電体電極層の電極の形状が、図5に示すように櫛形であり、水平方向に対向する電極である、ということを特徴としている。

【0039】その構造を下層から順に簡潔に説明すると、図4(a)に示すように、シリコン(Si)、あるいは窒化アルミニウム(AIN)等の材料からなる基板301と、その基板301上面全面に貼設された誘電体層303と、その誘電体層303の上面に貼設された、アルミニウム(Al)またはタングステン(W)または銅(Cu)などの金属導体からなる櫛形の第1の導電体電極304と、この櫛形の第1の導電体電極304に同一平面上で対向するように配設された第1の導電体電極304と同様の材質となる櫛形の第2の導電体電極305と、これらの櫛形の導電体電極304、305の上から成膜されて、対向する導電体電極間を埋めるような形に配設された絶縁性の良好なポリイミドからなる絶縁層308と、その上に交互に複数層積層される金属導体からなる配線層307およびポリイミドからなる絶縁層308と、その最上層の表面に実装される半導体集積回路チップ310と、第1の導電体電極304および第2の導電体電極305とそれに対応する半導体集積回路チップ310の各電源系端子とを接続するための接続ビア311、312と、を具備している。

【0040】この第3の実施例に係る半導体集積回路実装基板においては、同一平面上で絶縁層308を介して対向するように配設された櫛形の第1の導電体電極304と櫛形の第2の導電体電極305と上あるいは下の誘電体層によりコンデンサが形成されている。

【0041】そしてこのコンデンサは、図5に示すごとく、その対応する半導体集積回路チップ310の平面的に真下に位置するように配置されており、接続ビア311、312によって、その櫛形の第1の導電体電極304と櫛形の第2の導電体電極305のうち一方が半導体集積回路チップ310の電源端子に、他方が半導体集積回路チップ310の電源帰線(グランド)端子に接続されて、半導体集積回路チップ310のバイパスコンデンサとして機能する。

【0042】このように構成されたコンデンサの静電容量について、それが接続される半導体集積回路チップのバイパスコンデンサとして最適な値となるように、その線幅や配線間隔や誘電体層厚を変えて調節する。このときの静電容量値は、以下に示す関係式から求めることができる。即ち、図4(b)に示した隣り合う2本の電極

304および電極305とこれらの電極の接する誘電体層303とによって構成される静電容量の値Cは、同図に示すように2本の電極304および電極305の線幅をw、その厚さをt、これら2本の電極間の間隙をs、誘電体層303の層厚をh、その誘電率をεとすると、 $C = \epsilon K (k') / K (k)$ 、

但し、

$$k = (s/h) / (s/h + 2w/h),$$

$$k' = (1 - k^2)^{1/2}$$

なお、この第3の実施例において、誘電体層303は最下層1層だけでなく、櫛形の導電体電極を挟み込むようにその上下両方に計2層配設してもよい。

【0043】本発明の第3の実施例に係る半導体集積回路実装基板は、このような構造を有しており、各半導体集積回路チップに対して個別に最適の静電容量を有するコンデンサが接続されて、半導体集積回路チップごとの電源系ノイズの有効な除去を実現している。

【0044】なお本実施例においては、基板に窒化アルミニウム(AIN)等のセラミック材料あるいはシリコン(Si)等を用い、コンデンサおよびその上層の積層構造としてポリイミド薄膜および銅の積層構造を採用したが、必ずしもこれには限定されない。例えば積層構造には、グリーンシートなどセラミック材料による厚膜構造を用いてもよい。また、基板上に同時焼成積層構造を用いて、コンデンサをその同時焼成積層構造内に形成して、これを補助的に上述のコンデンサとともに使用することによっても、同様の電源ノイズの除去の効果を得ることができる。

#### 【0045】

【発明の効果】以上、詳細に説明したように、本発明の半導体集積回路実装基板は、高速スイッチング動作時の電源ノイズの発生を効果的に抑制し、誤動作などの発生の問題を解消して、信頼性が高くかつ半導体集積回路や個別部品の高集積化、高密度実装化を実現した半導体集積回路実装基板である。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体集積回路実装基板の構成を示す側面断面図。

【図2】本発明の第1の実施例の半導体集積回路実装基板の構成を示す斜視図。

【図3】本発明の第2の実施例の半導体集積回路実装基板の構成を示す側面断面図。

【図4】本発明の第3の実施例に係る半導体集積回路実装基板の構成を示す側面断面図(a)およびそのコンデンサ部分を拡大して示したA-B側面断面図(b)。

【図5】本発明の第3の実施例に係る半導体集積回路実装基板の構成を示す斜視図。

【図6】従来の半導体集積回路実装基板の構成を示す平面図。

【図7】従来の半導体集積回路実装基板の構成を示す側

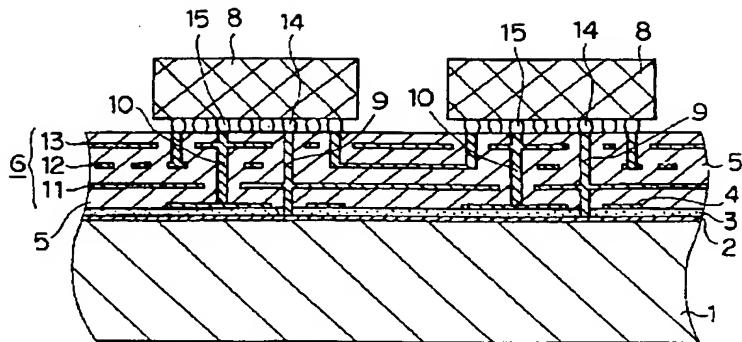
## 面断面図。

## 【符号の説明】

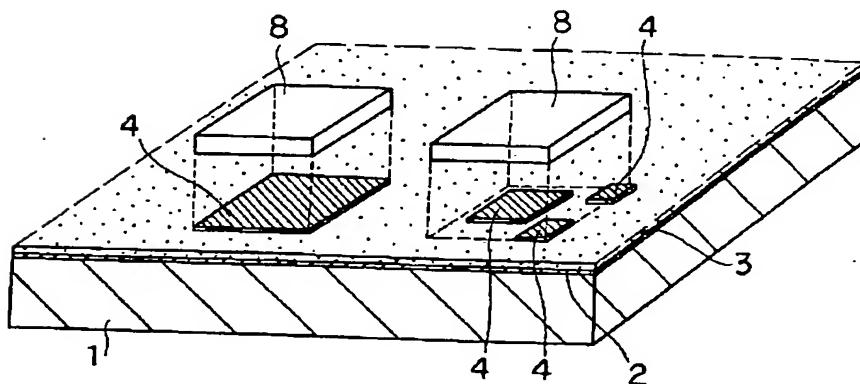
1 ..... 基板  
 2 ..... 第1の導電体電極層  
 3 ..... 誘電体層  
 4 ..... 第2の導電体電極層  
 5 ..... 絶縁層  
 6 ..... 配線層

8 ..... 半導体集積回路チップ  
 9、10 ..... 接続ビア  
 11 ..... 電源配線層  
 12 ..... 信号配線層  
 13 ..... 電源帰線（グランド）配線層  
 14 ..... 電源端子  
 15 ..... 電源帰線端子

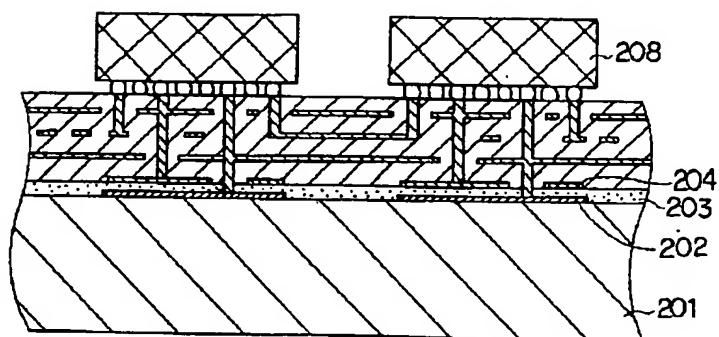
【図1】



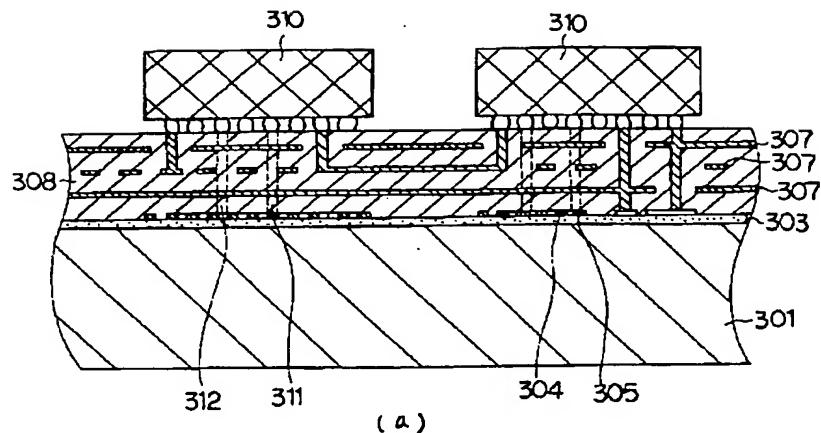
【図2】



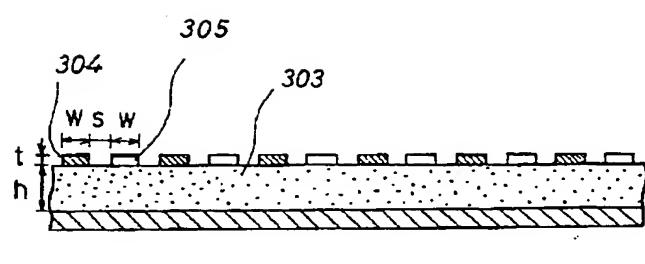
【図3】



【図4】

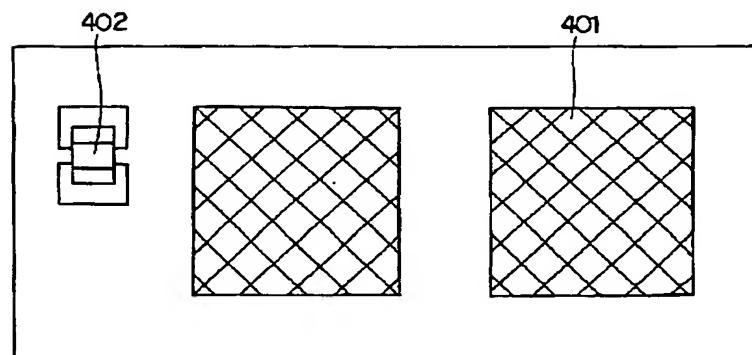


(a)

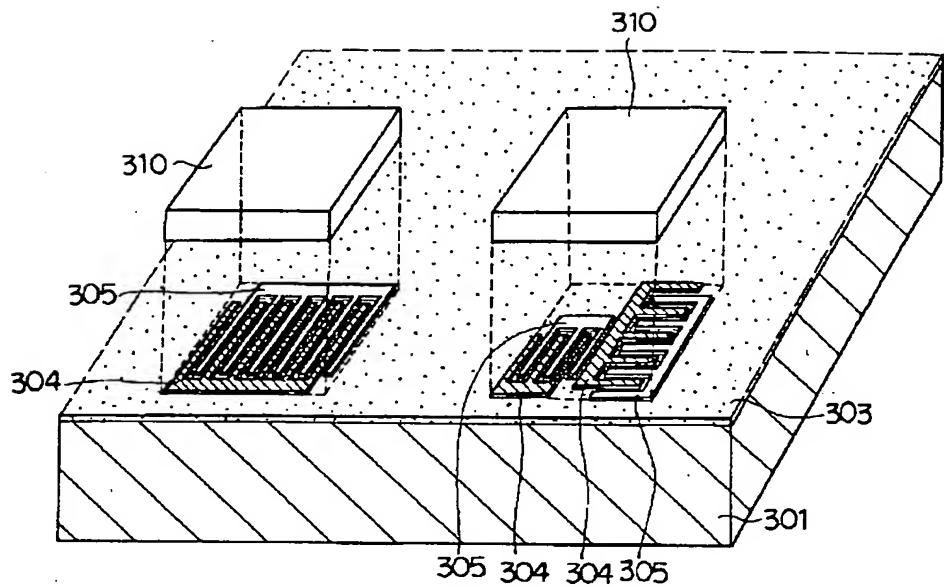


(b)

【図6】



【図5】



【図7】

